

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-348410

(43)Date of publication of application : 03.12.1992

(51)Int.Cl.

G06F 1/04

G06F 1/32

G06F 15/78

(21)Application number : 03-158546

(71)Applicant : **HITACHI LTD**

(22)Date of filing : 28.06.1991

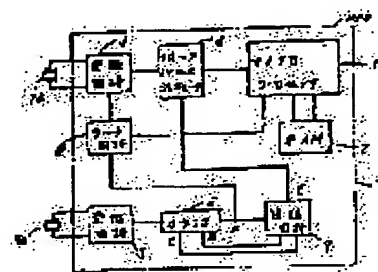
(72)Inventor : KIKUCHI AKIRA

(54) MICROCOMPUTER

(57)Abstract:

PURPOSE: To supply a stable system with a computer having two transmission circuits by evading the unstable transmission state that is caused when one of two transmission circuits stops and then starts again the transmission.

CONSTITUTION: A computer is provided with a 1st transmission circuit 3 which works at 8 high frequency and a 2nd transmission circuit 5 which works at a low frequency. Then the circuit 3 is stopped and the circuit 5 is actuated, and the output of the circuit 5 is counted by a counter 6. The circuit 3 is started by the timer interruption outputted from the counter 6, and the output of the counter 6 is delayed by a delay circuit 9. Then 8 system clock is supplied to the circuit 3 from a clock generating circuit 4 when the transmitting operation of the circuit 3 is stabilized. Thus a stable clock is supplied to a system when the circuit 3 is stopped and then restarted. Then the circuit 3 can be intermittently stopped and started and therefore the power consumption of the computer is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-348410

(43) 公開日 平成4年(1992)12月3日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/04 1/32 15/78	3 0 1 C 5 1 0 P	7368-5B 7530-5L 7832-5B	G 0 6 F 1/00	3 3 2 Z

審査請求 未請求 発明の数1 (全 5 頁)

(21) 出願番号 特願平3-158546
(62) 分割の表示 特願昭59-137183の分割
(22) 出願日 昭和59年(1984)7月4日

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 菊池 明
東京都小平市上水本町1450番地 株式会社
日立製作所武蔵工場内
(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 マイクロコンピュータ

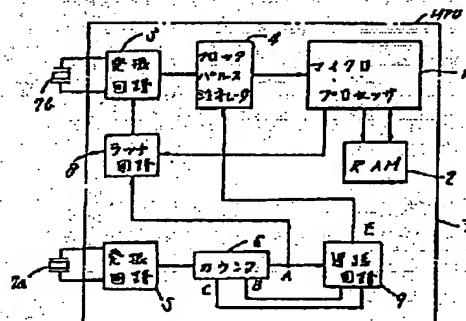
(57) 【要約】

【目的】 二つの発信回路を有するシングルチップマイクロコンピュータにおいて、一つの発信回路が停止し再び発信を開始するときの不安定な発信状態を回避し、安定したシステムクロックを供給する。

【構成】 二つの発信回路を有し、第1の発信回路3は高周波数で発信し、第2の発信回路5は低周波数で発信するシングルチップマイクロコンピュータにおいて、第1の発信回路3を停止させて、第2の発信回路5のみを動作させ、第2の発信回路5の出力をカウンタ6で計数し、カウンタ6から出力されるタイマ割込みにによって第1の発信回路3を起動し、カウンタ6の出力を遅延回路9によって遅延させて、第1の発信回路3の発信が安定した後、システムクロックをクロック形成回路4によって供給する。

【効果】 高周波数の発信回路を停止させ、再発信するときに安定なクロックがシステムに供給されるので、高周波数の発信回路を動作させたり停止させたりする間欠動作が可能になり、シングルチップマイクロコンピュータの低消費電力化が図れる。

【図1】



【特許請求の範囲】

【請求項1】 少なくとも命令を格納するROMと、データが記憶されるRAMと、上記ROMに格納される命令にしたがって制御を行なうマイクロプロセッサとを単一の半導体基板上に形成されるマイクロコンピュータにおいて、発振子を上記マイクロコンピュータの外部に接続することによって発振回路を形成できる第1の発振回路と、上記発振子とは別の発振子を上記マイクロコンピュータの外部に接続することによって発振回路を形成できる第2の発振回路と、少なくとも第1の発振回路の出力に基づいて上記マイクロコンピュータの内部のシステムクロックを供給するクロック回路と、上記第2の発振回路の出力に基づいて計数を行なうカウンタとを上記マイクロコンピュータの内部に具備し、上記第1の発振回路は上記ROMに格納される命令に基づいて発振を停止する機能を有し、上記第2の発振回路は上記第1の発振回路が発振を停止している間も発振を継続することが可能であり、上記カウンタは上記第1の発振回路が発振を停止している間も計数を継続することが可能であり、上記クロック回路は上記第1の発振回路が割込み信号によって発振を開始し、発振が安定した後にシステムクロックを供給するようにされてなることを特徴とするマイクロコンピュータ。

【請求項2】 少なくとも、命令を格納するROMとデータが記憶されるRAMと上記ROMに格納される命令にしたがって制御を行なうマイクロプロセッサと第1の発振回路と第2の発振回路と少なくとも第1の発振回路の出力に基づいて上記マイクロコンピュータの内部のシステムクロックを供給するクロック回路と上記第2の発振回路の出力に基づいて計数を行なうカウンタとを単一の半導体基板上に形成されるマイクロコンピュータと、少なくとも、上記マイクロコンピュータの外部に上記第1の発振回路に接続する第1の発振子と上記第2の発振回路に接続する第2の発振子とを具備するマイクロコンピュータシステムであって、上記第1の発振回路は上記ROMに格納されている発振を停止する命令に基づいて発振を停止し、上記第2の発振回路は上記第1の発振回路が発振を停止している間も発振を継続し、上記カウンタは上記第1の発振回路が発振を停止している間も計数を継続し、上記クロック回路は上記第1の発振回路が割込み信号によって発振を開始し、発振が安定した後にシステムクロックを供給するようにされてなるマイクロコンピュータシステム。

【請求項3】 上記第2の発振回路の出力を上記カウンタで分周することにより時計用のクロックを形成するようにされてなることを特徴とする請求項2に記載のマイクロコンピュータシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、データ処理技術さら

にはデータ処理装置における発振停止処理に適用して特に有効な技術に関し、例えば低消費電力化のため原発振を停止させるモードを有するマイクロコンピュータシステムに利用して有効な技術に関する。

【0002】

【従来の技術】 マイクロコンピュータやICを使った計算機等では、システムの動作クロック信号を作るために、水晶振動子のような発振子を用いた発振回路が設けられる。このようなデータ処理システムにおいては、例えばシステムが間欠動作するような場合、原発振を停止させることによりマイクロプロセッサやメモリ等の状態を一時的に停止させることにより、消費電力を少なくすることができる。そこで、外部からの信号やCPUからの命令によってクロックを停めてシステムを停止させるホールド機能を有するようにされたものがある（例えば、日立製作所【株】が昭和58年9月に発行した日立4ビット1チップマイクロコンピュータシステム、HMC40シリーズ、LCD-IV [HD613900] ユーザーズマニュアル第29頁、第37頁参照）。

【0003】 このようなホールド機能を有するマイクロコンピュータシステムでは、タイマ等からの割込みによってシステムの動作が再開されるようにされる。しかしながら、発振子を用いた発振回路を有するシステムでは、システムの再スタート時の電源供給により発振が開始されてから、所定の時間が経過するまでの期間、発振子の発振動作が不安定となり、非常に高い周波数で異常発振することがある。

【0004】 特に、最近では発振子として、水晶振動子に比べて安価なセラミック振動子が使用されることがあるが、セラミック振動子は水晶振動子に比べてインピーダンスが高いため、発振開始直後の不安定な時間が長くなる。

【0005】 このような異常周波数の原発振信号がシステムに供給されると、誤まった書き込み制御信号が形成されて必要なデータを保持しているRAM（ランダム・アクセス・メモリ）等に印加され、データが破壊されたりするおそれがある。

【0006】

【発明が解決しようとする課題】 この発明の目的は、低消費電力化のため、発振子の発振を停止させるようなモードを有する間欠動作可能なデータ処理システムにおいて、発振開始直後の異常発振によりメモリ等に保持されているデータが破壊されるようなデータエラーを防止できるようにし、これによってシステムの安定した間欠動作を保障することにある。

【0007】 この発明の他の目的は、発振子の発振を停止させるようなモードを有するデータ処理システムを安価に構成できるようにすることにある。

【0008】 この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面

から明かになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0010】すなわち、システムの動作クロック信号を形成する基準となる信号を発生するため高い周波数で発振する発振子を含む発振回路の他に、低い周波数で発振する発振子を含む発振回路を設け、システムの動作停止時には上記高い周波数の発振子の動作を停止させることで、消費電力を減少させるとともに、低い周波数の発振子からの発振信号を分周してタイマを動作させ、このタイマからの出力によってシステムの動作を再開させる割込み信号を形成して高い周波数の発振子の発振を開始させるようにし、かつこの割込み信号を遅延する遅延回路を設けて、その遅延信号をシステムの動作クロック信号を形成する回路に供給させて、その動作を制御するようにして、発振子の発振動作開始後一定時間経過してからシステムの動作クロック信号が形成されるようにし、これによって発振開始直後の異常発振によるデータエラーを防止するという上記目的を達成するものである。

【0011】

【作用】

【0012】

【実施例】図1は、本発明を4ビットシングルチップマイクロコンピュータ（以下シングルチップマイコンと称する）に適用した場合の一実施例を示す。同図において、鎖線で囲まれた各回路ブロックは、単結晶シリコンのような一つの半導体基板上において形成される。

【0013】シングルチップマイコンMPUは、内部のROM（リード・オンリ・メモリ）に格納されたプログラムに従ってシステム各部のコントロールを行なうマイクロプロセッサ1と、プログラムの実行に必要なデータやプログラムの実行によって得られたデータが記憶されるRAM（随時読出し書き込み可能なメモリ）2、システムの動作クロック信号の基準となるクロックを発生する第1の発振回路3、この第1の発振回路3から供給されるクロックに基づいてシステム内部の各種クロックパルスを形成するクロック形成回路（クロックパルス・ジェネレータ）4、およびシステムに内蔵された時計機能を実現するためその基準クロックを形成する第2の発振回路5と、この発振回路5から供給されるクロックを計数してタイマ割込み信号を形成するカウンタ6等により構成されている。

【0014】また、上記マイクロプロセッサ1は、特に制限されないが、プログラムが格納されたROM、次に読み出される命令のアドレスがロードされるプログラムカウンタ、ROMから読み出された命令コードをデコードして内部の制御信号を形成する命令デコーダ、アキュムレータやアドレスレジスタのようなレジスタ類、四

則演算や論理演算を行なうALU（演算論理ユニット）およびI/Oポート等によって構成されている。

【0015】この実施例では、特に制限されないが、正確な時計機能を実現するため、第2の発振回路5を構成するためチップに外付けされた発振子7aとして、32kHz（正確には32.768kHz）のような比較的低い周波数で発振する水晶振動子を使用され、この32kHzの原発振信号をカウンタ6で分周することにより時計用のクロックが得られる。

【0016】一方、主としてシステムの動作クロック信号を形成する際の基準となるクロックを発生する第1の発振回路3を構成する発振子7bとしては、例えば400kHzのような高い周波数で発振するセラミック振動子を使用されている。これによって、時計用クロックよりも高い周波数のシステムクロック信号が形成され、マイクロプロセッサ等の高速動作が可能にされている。

【0017】そして、上記マイクロプロセッサ1は、例えばシステムを間欠動作させるような場合、ホールド命令を実行することでプログラムによって上記第1の発振回路3の発振動作を停止させることができるようにされている。そのために、マイクロプロセッサ1から出力されたホールド命令をラッチするラッチ回路8が設けられている。

【0018】このラッチ回路8は、ホールド命令をラッチすると発振子7bへの電圧の供給を遮断して発振を停止させるとともに、発振停止後上記カウンタ6から供給されるタイマ割込み信号によって直ちに発振子7bへ電圧を印加して発振を開始させるようにされている。

【0019】また、この実施例では、上記カウンタ6から出力されるタイマ割込み信号を、停止中の上記第1の発振回路3がタイマ割込み信号で再び起動される際に、発振子7bの不安定な時期をやりすごすのに充分な時間だけ遅延させる遅延回路9が設けられている。

【0020】この遅延回路9は、例えば上記カウンタ6から上記ラッチ回路8へ供給される起動用クロック信号Aと、図2に示すようにこの起動用クロック信号Aよりも周波数の高い前段の信号B、Cとの論理積をとるANDゲート回路およびこのANDゲートの出力と上記クロック信号Aとの論理積をとるANDゲート回路（この出力の信号をDとする）等により構成されている。これによって、遅延回路9から、図2に示すように、起動用クロック信号Aの最初の立上りから一周分遅れた遅延信号Eが出力される。

【0021】この遅延信号Eが前期クロックパルス・ジェネレータ4に供給され、動作されることにより、システム内の各部へ供給される動作クロック信号としてのクロックパルスが形成されるようにされている。

【0022】従って、この実施例によれば、マイクロプロセッサ1が休止状態へ移るときは、まずホールド命令によって第1の発振回路3の発振動作が停止される。こ

れによって、システム各部へのクロックパルスの供給が中断されてタイマ回路（第2の発振回路5とカウンタ6）を除く回路の動作が停止される。ところで、上記各回路ブロックがCMOS（相補型MOSFET）回路で構成された場合、その消費電流は動作周波数に比例する。しかるに、上記タイマ回路以外の回路部分は、タイマ回路に比べて高い周波数のクロックパルスで動作されるため、クロックパルスの停止により、システム全体としての消費電力は大幅に減少される。具体的には、タイマ回路部での、消費電流が $2\mu\text{A}$ 程度であるのに対し、第1の発振回路3およびクロックパルスで動作される回路部分での消費電流は1mA程度であるので、発振回路3の停止により大幅な消費電力の低減が可能になる。

【0023】しかも、上記実施例では、システムを再起動させるべくタイマ回路（カウンタ6）から起動用クロック信号Aが出力されると、第1の発振回路3が直ちに動作されてその発振信号がクロックパルス・ジェネレータ4に供給されるが、クロックパルス・ジェネレータ4は、それよりも起動用クロック信号一周期分遅れて発生される遅延信号Eによって動作される。そのため、発振子7bの発振開始直後の不安定な時期を経過してから、クロックパルスが形成され各部へ供給されるようになる。

【0024】その結果、低消費電力化のための発振停止モードを有するシステムにおいて、発振子の発振開始直後の異常な発振信号によりRAM等に誤まって書き込み制御信号が供給されて、内部のデータが破壊される等の事故を防止することができる。

【0025】なお、上記実施例では、遅延回路9を、タイマ回路（カウンタ6）から供給されるクロックを入力信号とするゲート回路により構成しているが、これに限定されるものでなく例えば、タイマ回路から供給される起動信号の立上りをゆるやかにする時定数回路と、この時定数回路の出力を入力信号とする論理しきい値電圧の高いシュミット回路とにより遅延信号を形成するようにしてもよい。

【0026】また、上記実施例では、プログラムによってホールト状態を発生させて、発振およびシステムの動作を停止させているが、外部から供給されるホールト要求信号を入力する専用の端子をチップに設け、この外部端子へのホールト要求信号によっても発振およびシステムの動作を停止できるように構成してもよい。

【0027】さらに、ホールト状態を解除し、システムを起動させるタイマ割込み信号も、内部のタイマ回路で発生させるのではなく、外部から供給できるように構成することも可能である。

【0028】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、ホ

ールト状態で停止中の発振回路を起動させる信号を遅延させてクロックパルス・ジェネレータに供給する遅延回路は、前期実施例の構成に限定されるものでなく、種々の変形例が考えられる。以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である4ビットシングルチップマイコンに適用したものについて説明したが、それに限定されるものでなく、発振回路の停止モードを有し間欠動作を行なうようにされたすべてのシステムに利用できるものである。

10 【0029】

【発明の効果】（1）システムの動作クロック信号を形成する基準となる信号を発生するため高い周波数で発振する発振子を含む発振回路の他に、低い周波数で発振する発振子を含む発振回路を設け、システムの動作停止時には上記高い周波数の発振子の発振を停止させることで、消費電力を減少させるとともに、システムの動作を再開させる割込み信号で直ちに発振子を動作させるようにし、かつこの割込み信号を遅延する遅延回路を設けて、その遅延信号を動作クロック信号を形成する回路（クロックパルス・ジェネレータ）に供給させて、その動作を制御するようにしたので、発振子の発振動作開始後一定時間経過してからシステムの動作クロック信号が形成されるようになるという作用により、発振子の発振開始直後の異常発振によるデータエラーが防止され、システムの安定した間欠動作が保証されるという効果がある。

30 【0030】（2）システムの動作クロック信号を形成する基準となる信号を発生するため高い周波数で発振する発振子を含む発振回路の他に、時計用クロックを発生するため低い周波数で発振する発振子を含む発振回路を設け、システムの動作停止時には上記高い周波数の発振子の発振を停止させるようにしたので、高い周波数で発振する発振子として安価なセラミック振動子を用いることができるという作用により、発振子の発振停止モードを有し間欠動作可能にされたデータ処理システムを安価に構成することができるという効果がある。

【0031】

【図面の簡単な説明】

40 【図1】本発明に係るデータ処理装置の一実施例を示すブロック図である。

【図2】その遅延回路による信号の形成方法の一例を示す波形図である。

【符号の説明】

- 1…マイクロプロセッサ、2…RAM（ランダム・アクセス・メモリ）
- 3…第1発振回路、4…クロック形成回路（クロックパルス・ジェネレータ）
- 5…第2発振回路、6…カウンタ
- 7a、7b…発振子（水晶振動子、セラミック振動子）
- 8…ラッチ回路、9…遅延回路

(5)

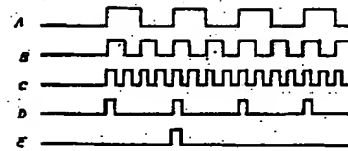
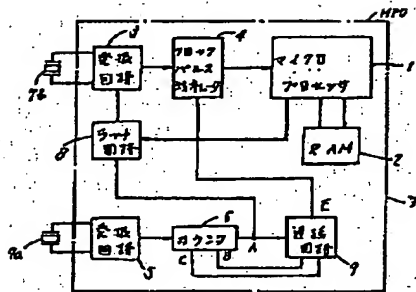
特開平4-348410

【図1】

【図2】

【図1】

【図2】



THIS PAGE BLANK (USPTO)